

# Design of a single-phase multilevel inverter with independent variable source and PDPWM modulation

Marleny Fernández Sandoval<sup>1</sup>, Luis David Pabón Fernandez<sup>2</sup>, Jorge Luis Díaz Rodríguez<sup>3</sup>

<sup>1, 2, 3</sup> Universidad de Pamplona, Colombia, [marleny.fernandez@unipamplona.edu.co](mailto:marleny.fernandez@unipamplona.edu.co), [davidpabon@unipamplona.edu.co](mailto:davidpabon@unipamplona.edu.co), [jdiazcu@unipamplona.edu.co](mailto:jdiazcu@unipamplona.edu.co),

**Abstract**– *This paper describes the development of a power conversion system based on a cascaded single-phase multilevel inverter with a common variable DC source for electric traction applications. The proposed architecture uses high-frequency transformers to ensure galvanic isolation and enable power distribution from a single DC source, optimizing energy integration and DC bus variability. A phase-array modulation (PDPWM) technique is implemented to improve output signal quality and significantly reduce harmonic content. The result is a DC bus design with a variability between 45 V and 145 V, controlled by the pulse width of a PWM signal and a 13-level multilevel voltage signal with a total harmonic distortion (THD) of 8.85%.*

**Keywords**– *Multilevel inverter, variable independent source, high-frequency transformer, PDPWM modulation, electric traction.*

# Diseño de un inversor multinivel monofásico con fuente independiente variable y modulación PDPWM

Marleny Fernández Sandoval<sup>1</sup>, Luis David Pabón Fernández<sup>2</sup>, Jorge Luis Díaz Rodríguez<sup>3</sup>

<sup>1, 2, 3</sup> Universidad de Pamplona, Colombia, [marleny.fernandez@unipamplona.edu.co](mailto:marleny.fernandez@unipamplona.edu.co), [davidpabon@unipamplona.edu.co](mailto:davidpabon@unipamplona.edu.co), [jdiazcu@unipamplona.edu.co](mailto:jdiazcu@unipamplona.edu.co),

**Resumen—** Este trabajo trata del desarrollo un sistema de conversión de energía basado en un inversor multinivel monofásico en cascada con fuente común de CD variable para aplicaciones de tracción eléctrica. La arquitectura propuesta usa transformadores de alta frecuencia con el propósito de garantizar aislamiento galvánico y permitir la distribución de potencia a partir de una única fuente de CD, optimizando la integración energética y la variabilidad del bus de CD. Asimismo, se implementa una técnica de modulación por disposición en fase (PD-PWM), orientada a mejorar la calidad de la señal de salida y a reducir de manera significativa el contenido armónico. Como resultado, se obtiene un diseño de bus de CD con variabilidad entre 45 V y 145 V, controlado mediante el ancho de pulso de una señal PWM y una señal del voltaje multinivel de 13 niveles con contenido armónico total (%THD) de 8.85 %.

**Palabras clave—** inversor multinivel, fuente independiente variable, transformador de alta frecuencia, modulación PDPWM, tracción eléctrica.

## I. INTRODUCCIÓN

El incremento en la necesidad de alternativas sostenibles dentro del sector del transporte ha impulsado el desarrollo de tecnologías asociadas a los sistemas de tracción eléctrica [1], especialmente en entornos urbanos, donde los desafíos relacionados con la contaminación ambiental y el uso racional de la energía son más evidentes [2]. Investigaciones recientes destacan la importancia de diseñar de manera coordinada los convertidores de potencia y las estrategias de regulación para garantizar un funcionamiento óptimo [3].

Los convertidores multinivel, especialmente aquellos en topología cascada, representan una alternativa tecnológica eficiente para mejorar la calidad de onda [4], reducir las pérdidas por conmutación y facilitar la integración de fuentes de energía de diferentes niveles [5], [6]. Estas topologías requieren un número elevado de interruptores, lo que conlleva un incremento en la complejidad de las estrategias de control, así como un aumento en el costo total y el tamaño del sistema [7]. Las distintas técnicas de modulación aplicadas a inversores multinivel en cascada, demuestran que la técnica de modulación influye directamente en la eficiencia, la calidad de la señal y la distorsión armónica del sistema [6] - [8]. Adicionalmente representan una alternativa para la disminución de interruptores y el tamaño total del inversor [9] - [11]. Por otro lado, en el estudio del comportamiento de inversores multinivel en cascada simétricos y asimétricos, se destaca que las configuraciones simétricas ofrecen ventajas clave como simplificación en el

diseño del control, uniformidad en los módulos de potencia, y mayor facilidad de implementación con una mejor distribución del voltaje, una solución robusta que prioriza la estabilidad y estandarización [10].

La arquitectura del inversor multinivel en cascada con fuentes de DC independientes presenta ventajas significativas en términos de modularidad, confiabilidad y calidad de energía. Su estructura modular permite incrementar el número de niveles mediante la adición de celdas sin necesidad de rediseñar la etapa de potencia, simplificando tanto la escalabilidad como el mantenimiento [12], [13]. Al distribuir equitativamente el voltaje entre los dispositivos semiconductores, se reduce el estrés eléctrico y los efectos de conmutación, mejorando la vida útil y el desempeño electromagnético del sistema. Además, la ausencia de elementos de enclavamiento o balanceo simplifica el hardware y elimina problemas de desbalance de tensión en el bus de CD [14], [15].

Es importante destacar como tendencia que la incorporación de tecnologías emergentes como dispositivos inteligentes, internet de las cosas (*Internet of Things* o IoT) e Inteligencia Artificial ha permitido integrar capacidades de monitoreo en tiempo real, diagnóstico y gestión energética distribuida. Estas herramientas favorecen un mayor rendimiento, confiabilidad operativa y sostenibilidad [16], [17]. Paralelamente, se han propuesto enfoques avanzados como el control predictivo, adaptativo y difuso, orientados a optimizar la respuesta dinámica y el aprovechamiento energético [18]. Dichas técnicas se implementan en los convertidores, responsables de regular el suministro hacia el sistema de tracción, asegurando una operación estable y con baja distorsión armónica.

## II. DISEÑO DE INVERSOR MULTINIVEL

En esta sección se presenta un diseño de inversor multinivel monofásico en cascada con fuente independiente utilizando transformadores de alta frecuencia y modulación PD-PWM. Esta configuración busca mejorar la calidad de la señal, reducir la distorsión armónica y aumentar la eficiencia, siendo una alternativa adecuada para diferentes aplicaciones.

El sistema propuesto se basa en un convertor CD-CD aislado con transformadores de alta frecuencia, encargado de generar un bus de CD para alimentar de forma independiente los módulos de un inversor multinivel monofásico en cascada en función de la topología de la Fig. 1.

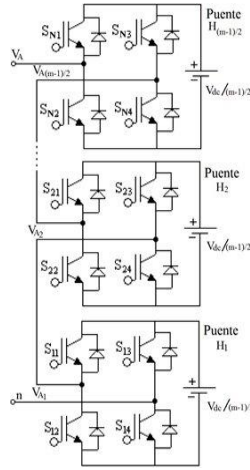


Fig 1. Topología del inversor multinivel CHB.

La estructura del inversor está compuesta por seis módulos de puentes H, lo que permite obtener 13 niveles de tensión mediante la suma escalonada de fuentes, alcanzando un voltaje de salida de hasta de:

$$N=2n+1 \quad (1)$$

La conmutación se controla mediante la técnica PDPWM (*Phase Disposition PWM* o PDPWM), utilizando seis portadoras triangulares de 24 kHz y una señal de referencia sinusoidal de 60 Hz. Esta estrategia permite generar una forma de onda de salida escalonada que mejora la calidad de señal y reduce el THD incluso sin filtrado. El sistema emplea mosfets IRFB460 modelados en *Simulink* por su buen desempeño a frecuencias medias.

### III. CONVERTIDOR CD/CD

Como etapa previa a la generación de niveles de tensión en el inversor multinivel, se implementó un convertor CD/CD encargado de incrementar la tensión de entrada de 24 V y hasta máximo 145 V en el voltaje de salida, valor necesario para alimentar de forma simétrica cada uno de los puentes H que conforman las celdas del inversor. El modelo de la Fig. 2 presenta convertor que está compuesto por un controlador de modulación PWM que regula la conmutación de los interruptores MOSFET del convertidor.

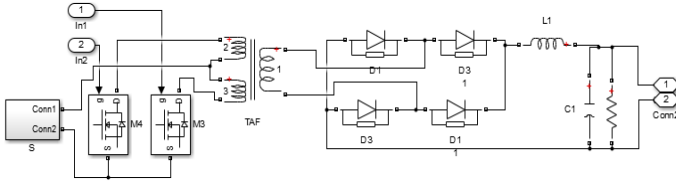


Fig 2. Convertidor DC/DC - 24V/145V

El convertidor implementado para cada puente H del inversor, asegura una alimentación aislada, uniforme y sincronizada, cumpliendo con los requisitos de una arquitectura simétrica estable.

La Fig. 3 representa el diagrama en bloques del generador de señales PWM de 50 KHz con control de ciclo de trabajo y

desfase de 180°, utilizado para activar alternadamente dos etapas de conmutación del convertidor CD-CD que a su vez permite el ajuste de la tensión del convertidor y estabilidad para el bus de CD.

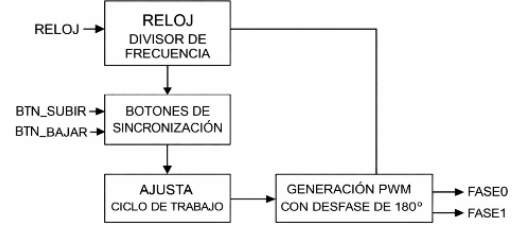


Fig 3. Diagrama del convertidor CD/CD y con generador PWM.

### IV. INVERSOR MULTINIVEL EN CASCADA CON PDPWM

El diseño contempla un inversor multinivel monofásico en cascada, compuesto por seis celdas H por fase, cada una alimentada por un convertor CD-CD.

La señal de control de cada celda se genera mediante modulación *Phase Disposition PWM* (PDPWM), técnica que permite distribuir los pulsos de conmutación entre puentes H de forma uniforme, reduciendo así la distorsión armónica total (*Total Harmonics Distortion* o THD) y mejorando la calidad de la forma de onda de salida. Cada fase del inversor cuenta con 6 etapas de conmutación (puentes H), lo que permite generar una forma de onda con 13 niveles. La señal de control A del modelo de la Fig. 4 presenta una modulación PDPWM utilizando una señal sinusoidal como referencia y su desfase de 180° con frecuencia de 60 Hz.

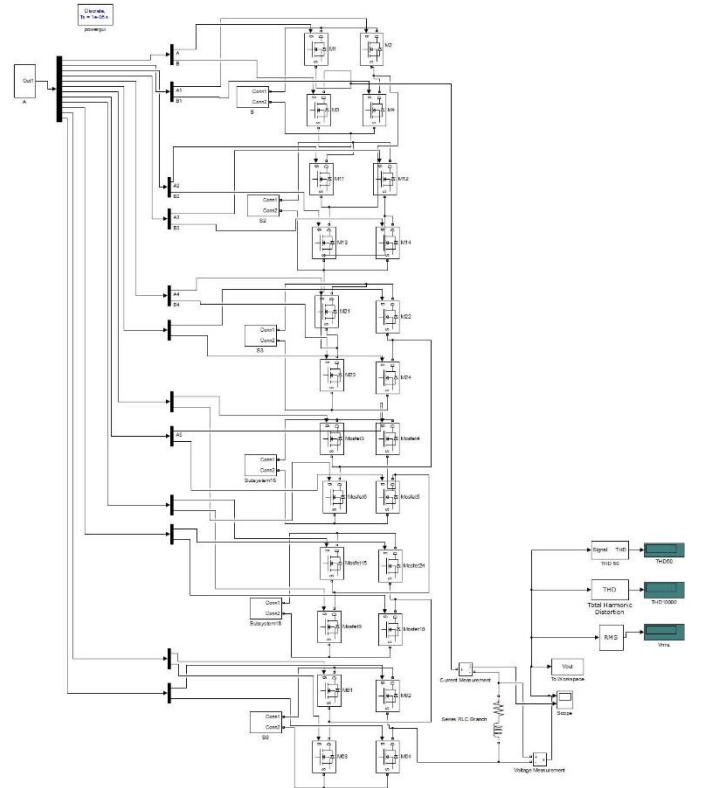


Fig 4. Topología CMLI con modulación PDPWM

Ambas referencias se comparan con un conjunto de doce señales triangulares en fase con distintos niveles de tensión con frecuencia de 24 KHz, obteniendo señales complementarias PWM como se presenta en la Fig. 5.

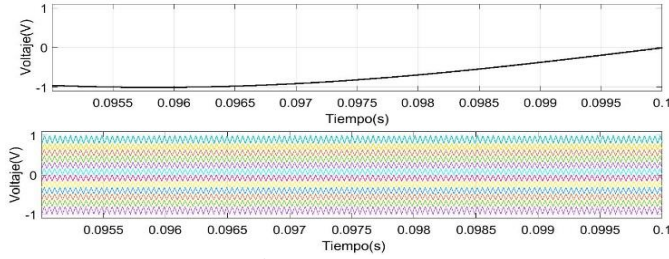


Fig 5. Señales de referencia y señales portadoras para PDPWM.

## V. ESTADOS DE CONMUTACIÓN

El inversor este compuesto por seis celdas puentes H conectadas en cascada, con fuentes independientes  $V_{dc}$  fija regulable. La tensión total de salida se obtiene como la suma de las tensiones generadas por cada celda:

$$V_x = V_{x1} + V_{x2} + V_{x3} + V_{x4} + V_{x5} + V_{x6} \quad (2)$$

Cada celda puede generar tres niveles de tensión:  $\{+V_{dc}, 0, -V_{dc}\}$ , relacionado con los estados de conmutación. Por tanto, el inversor puede generar hasta 13 niveles de tensión por fase con las combinaciones de las tensiones:

$$V_x \in \left\{ -6V_{dc}, -5V_{dc}, -4V_{dc}, -3V_{dc}, -2V_{dc}, -V_{dc}, 0, V_{dc}, 2V_{dc}, 3V_{dc}, 4V_{dc}, 5V_{dc}, 6V_{dc} \right\} \quad (3)$$

## VI. RESULTADOS

La Fig. 6 presenta la respuesta del convertidor CD/CD. En la Fig. 6.a se muestra la salida filtrada del convertidor, con una elevación progresiva de la tensión continua hasta alcanzar el valor de referencia.

En la Fig. 6.b, se ilustra la salida del transformador de alta frecuencia sin rectificar, donde se aprecian las variaciones de voltaje alterno generadas por la conmutación de la señal de control que permite el ajuste de voltaje mediante el control de la señal PWM.

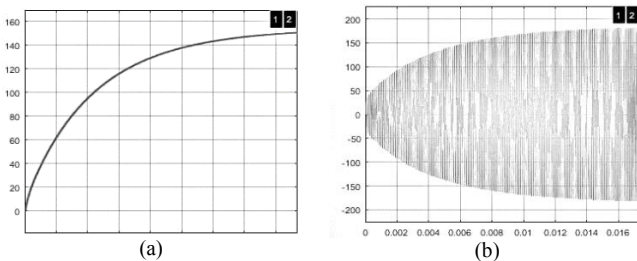


Fig 6. a). Voltaje rectificado del convertidor CD-CD. b). Sin rectificar.

La tensión de salida del inversor con carga RL de 90  $\Omega$  y 120 mH genera una forma de onda escalonada monofásica generada por un inversor multinivel en cascada simétrico de 13 niveles, alimentado con fuentes de 90 V por puente H y modulado con PDPWM a un índice de modulación igual a 1.

Se observa una onda de voltaje de salida equilibrada y simétrica. La tensión pico por fase alcanza los 533 V, de igual manera la corriente de 5.49 A pico suavizada por el efecto de la componente inductiva de la carga que se evidencia en la Fig. 7.

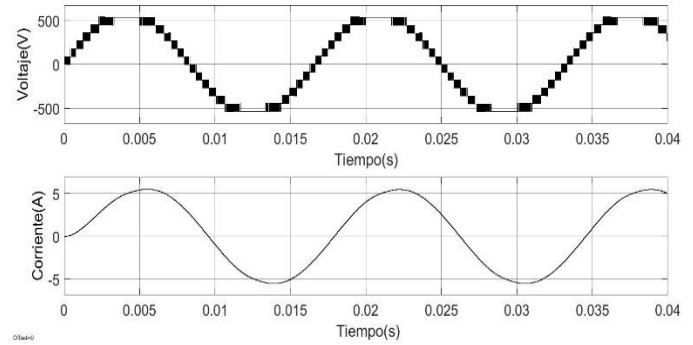


Fig 7. Voltaje de salida del inversor multinivel CHB-13L

En la Fig. 8 se muestra el análisis de la transformada rápida de Fourier (FFT) que representa el comportamiento armónico de la señal de salida de un inversor operando sin filtro y con carga RL.

Se identifica correctamente la componente fundamental en 60 Hz con una magnitud 563.1 un valor de 8.85 %, lo que indica una presencia de armónicos principalmente alrededor de la frecuencia de conmutación de la señal portadora.

En los primeros 50 armónicos presenta tan sólo un %THD de 3.26% encontrándose bajo los requisitos que establece el estándar IEEE-519.



Fig 8. Análisis FFT del voltaje de salida con carga resistiva

El algoritmo de modulación fue implementado mediante descripción en VHDL y posteriormente sintetizado, obteniéndose el esquema de RTL. La arquitectura está compuesta por un generador de señal sinusoidal para la referencia basado en una tabla de consulta (LUT), doce generadores de portadoras triangulares y un conjunto de comparadores digitales. La estructura RTL evidencia una organización modular y paralela, lo que permite generar simultáneamente todas las señales de disparo requeridas por el inversor multinivel sin generar retrasos en la ejecución, Fig. 9.

En la simulación como se observa en la Fig. 10. la señal sinusoidal de referencia junto con las portadoras triangulares de alta frecuencia. La comparación entre la referencia y cada portadora determina los instantes de conmutación, generando señales PWM cuyo ancho de pulso varía permitiendo obtener modelo coherente de conmutación para el inversor.

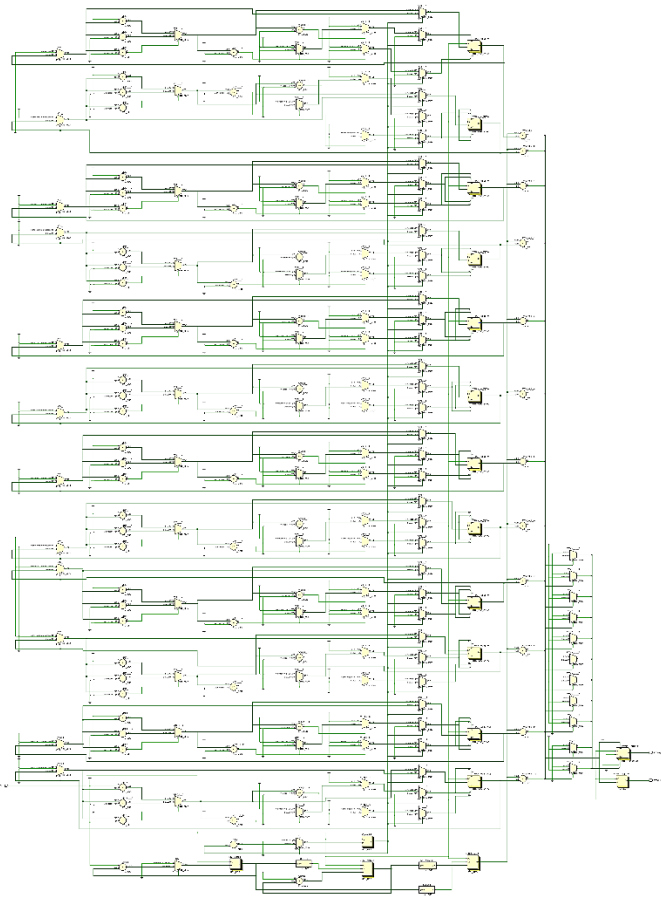


Fig 9. VHDL RTL para la generación de la señal de conmutación

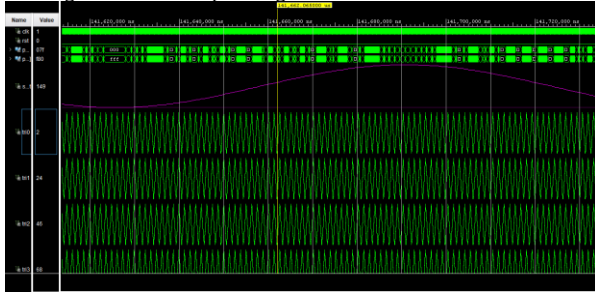


Fig 10. Simulación Vivado de las señales de referencia y portadoras

Finalmente, las señales digitales de conmutación generadas muestran la formación de niveles escalonados en la Fig. 11. Las señales complementarias garantizan una conmutación adecuada en cada rama del inversor, evitando solapamientos indebidos.

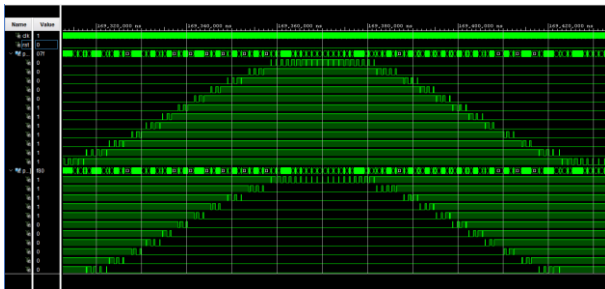


Fig 11. Señales de conmutación del inversor con implementación VHDL

## VII. DISCUSIÓN COMPARATIVA Y ANÁLISIS DE DESEMPEÑO

El diseño del inversor multinivel CHB-13 permitió validar el desempeño de la estrategia de modulación PD-PWM mediante simulación en condiciones de carga. El valor de THD obtenido mediante simulación de 3.26 % en los 50 primeros armónicos se encuentran inferior a los rangos reportados en estudios recientes sobre aplicación de técnicas de modulación en inversores multinivel, como los presentados por [19].

En comparación con otras técnicas de modulación sinusoidal, documentadas en la literatura, la estrategia implementada permite una reducción significativa de armónicos de bajo orden sin necesitar de un alto valor de frecuencia de conmutación. Esto resulta particularmente relevante en aplicaciones de potencia media y alta, donde el aumento de frecuencia implica mayores pérdidas por conmutación y estrés térmico en los dispositivos semiconductores. Desde el punto de vista topológico, la configuración CHB-13 adoptada presenta ventajas estructurales frente a arquitecturas NPC o de condensadores volantes, principalmente en términos de modularidad y escalabilidad, tal como se discute en el estudio de [20]. La utilización de fuentes DC independientes con aislamiento a través de transformadores de alta frecuencia introduce flexibilidad en el ajuste de niveles de tensión por celda, lo cual puede facilitar futuras implementaciones asimétricas orientadas a aumentar el número efectivo de niveles sin incrementar proporcionalmente el número de dispositivos. La Tabla I presenta una comparación del diseño de inversor propuesto frente a trabajos recientes en modulación senoidal para la reducción de la distorsión armónica de inversores multinivel, considerando topología, número de niveles, técnica de modulación y tipo de carga.

TABLA I  
COMPARACIÓN DE ESTUDIOS DE TOPOLOGÍAS DE INVERSORES  
MULTINIVEL CON REDUCCIÓN DE %THD.

| Referencia        | Topología                    | Niveles | Técnica de Reducción de %THD | Tipo de Carga | THD (%)     |
|-------------------|------------------------------|---------|------------------------------|---------------|-------------|
| [21]              | RSMLI asimétrico             | 15      | FFM                          | RL            | 10.6        |
| [22]              | RSMLI asimétrico             | 9       | PDPWM                        | RL            | 11.95       |
| [23]              | SCMLI Modificado             | 9       | LSPWM                        | R y L         | 16.6 - 17.3 |
| [24]              | RSMLI Simétrico (extendible) | 7       | PWM strategy                 | RL            | 12.23       |
| Trabajo propuesto | MLI CHB simétrico            | 13      | PD-PWM                       | RL            | 8.85        |

Fuente: Autores.

Esta comparativa permite contextualizar el desempeño del inversor propuesto, el sistema desarrollado en este estudio presenta valores de THD ligeramente inferiores en configuración de niveles cercanos a la topología propuesta, lo cual resulta significativo considerando que la arquitectura CHB emplea fuentes independientes variables que a futuro representan una ventaja en la implementación de otros diseños.

En conjunto, el análisis evidencia que la contribución principal del trabajo no radica únicamente en la reducción del THD, sino en la integración de una arquitectura CHB-13 con implementación del esquema de conmutación en FPGA, lo cual valida la aplicabilidad práctica del enfoque propuesto dentro del rango de desempeño reportado en la literatura reciente.

En términos de implementación práctica, la programación en FPGA particularmente en la Nexys 4 basada en la Artix-7 permite una sincronización precisa de disparos y una reducción significativa del jitter, gracias a su operación determinística y reloj de alta estabilidad. Esto es crítico en inversores multinivel, donde el espectro armónico es sensible a pequeñas variaciones de ángulo. Sin embargo, en el proceso de desarrollo se debe evaluar el impacto de retardos de propagación, tiempo muerto (*dead-time*) y desbalances dinámicos del bus DC bajo condiciones transitorias, aspectos que podrían influir en la calidad espectral en aplicaciones reales.

En síntesis, los resultados obtenidos demuestran que la combinación de topología CHB-13 y la implementación de la modulación PD-PWM constituye una solución técnicamente consistente para la reducción de distorsión armónica en sistemas de conversión de potencia. No obstante, para consolidar su aplicabilidad, será necesario aplicar la validación experimental hacia análisis bajo carga, evaluación de eficiencia energética y comparación sistemática con otras estrategias de modulación y optimización.

## VIII. CONCLUSIONES

A modo de conclusiones se puede mencionar que la señal de salida del inversor multinivel monofásico de 13 niveles presenta una adecuada aproximación sinusoidal, evidenciada por la simetría y estabilidad de la forma de onda. Mediante el resultado de análisis de la transformada rápida de Fourier (FFT) se obtiene un valor de THD total de 8.85 % con carga R-L. Esto con los armónicos principales desplazados hacia el armónico 400, de igual manera este modelo cubre los requerimientos del estándar IEEE-519 obteniéndose un %THD de los primeros 50 armónicos como fija la norma IEEE-519 de tan sólo 3.2%. Estos resultados permiten evidenciar que la topología, con la técnica de modulación adecuada permiten reducir en gran manera la distorsión armónica sin necesidad de filtros adicionales.

A su vez el uso de la topología propuesta de convertidor CD-CD permite alimentar de forma aislada y simétrica los módulos del inversor, su característica de regulación permite realizar control de los niveles de tensión permitiendo ser un modelo de inversor ajustable. Mediante la estrategia de modulación PDPWM aplicada permite una distribución uniforme de las conmutaciones entre los niveles, reduciendo el esfuerzo por dispositivo, mejorando la calidad de la onda de salida y disminuyendo el contenido armónico.

Finalmente, con este diseño y de manera complementaria contempla un modelo de programación en VHDL que, al tratarse de una arquitectura concurrente, no introduce retardos

adicionales entre las señales de conmutación, asegurando simultaneidad en los disparos y coherencia temporal en todas las ramas del inversor.

## AGRADECIMIENTOS

Los autores expresan su agradecimiento a la Universidad de Pamplona por brindar los espacios, recursos y el entorno académico necesarios para el desarrollo de esta investigación, así como por su compromiso permanente con el fortalecimiento de la investigación científica y su contribución al avance del conocimiento en la academia.

## REFERENCIAS

- [1] L. F. García and J. A. Martínez, "Análisis de la eficiencia energética en sistemas de propulsión eléctrica para vehículos urbanos", *Revista de Ingeniería Eléctrica*, vol. 45, no. 3, pp. 150–158, 2021, doi: 10.1016/j.rie.2021.03.006.
- [2] H. O. Valdez Carrera, G. Vázquez Guzmán, M. A. Juárez Balderas, and J. M. Sosa Zúñiga, "Inversores trifásicos para sistemas de propulsión en vehículos eléctricos", *Revista de Ingeniería Eléctrica*, no. 1, pp. 70–76, 2019. [En línea]. Disponible en: <https://www.cinergiaug.org/REVISTA%202019.html>
- [3] A. Ibrahim and F. Jiang, "The electric vehicle energy management: An overview of the energy system and related modeling and simulation", *Renewable and Sustainable Energy Reviews*, vol. 144, Art. no. 111049, 2021, doi: 10.1016/j.rser.2021.111049.
- [4] C. R. Rajesh, P. Meenalochini, S. K. Kannaiah, and A. Bindu, "A hybrid control topology for cascaded H-bridge multilevel inverter to improve the power quality of smart grid connected system: NBO-RERNN approach", *Expert Systems with Applications*, vol. 238, Part C, Art. no. 122054, 2024, doi: 10.1016/j.eswa.2023.122054.
- [5] K. Young, C. Wang, L. Y. Wang, and K. Strunz, "Electric vehicle battery technologies", in *Electric Vehicle Integration into Modern Power Networks*, R. García-Valle and J. A. Pecos Lopes, Eds. Berlin, Germany: Springer, 2013, pp. 15–56, doi: 10.1007/978-1-4614-0134-6\_2.
- [6] P. R. Kumar and V. S. Reddy, "Comparative study of single-phase multilevel cascaded H-bridge inverter under various modulation techniques", *Sustainable Energy Technologies and Assessments*, vol. 63, Art. no. 103456, 2024, doi: 10.1016/j.seta.2024.103456.
- [7] M. Zaid, M. Ali, A. Sarwar, M. Khalid, and A. Iqbal, "A reduced switch stress common-ground boosting multilevel inverter for renewable energy applications", *e-Prime – Advances in Electrical Engineering, Electronics and Energy*, vol. 12, Art. no. 100953, 2025, doi: 10.1016/j.prime.2024.100953.
- [8] S. Kumar and R. Singh, "Design and analysis of a novel multilevel inverter topology for renewable energy applications", *Heliyon*, vol. 10, no. 5, Art. no. e15932, 2024, doi: 10.1016/j.heliyon.2024.e15932.
- [9] V. Ramu, P. Satish Kumar, and G. N. Srinivas, "LSPWM, PSPWM and NLCPWM on multilevel inverters with reduced number of switches", *Materials Today: Proceedings*, vol. 54, Part 3, pp. 710–727, 2022, doi: 10.1016/j.matpr.2021.10.410.
- [10] J. Stöttner, C. Hanzl, and C. Endisch, "Extensive investigation of symmetrical and asymmetrical cascaded multilevel inverters for electric vehicle applications", *Electric Power Systems Research*, vol. 209, Art. no. 108009, 2022, doi: 10.1016/j.epsr.2022.108009.
- [11] M. Malinowski, "Cascaded multilevel converters in recent research and applications", *Bulletin of the Polish Academy of Sciences: Technical Sciences*, vol. 65, no. 5, pp. 567–578, 2017, doi: 10.1515/bpasts-2017-0062.
- [12] J. A. Araque Gallardo, J. L. Díaz Rodríguez, and A. Pardo García, "THD optimization of a single-phase cascaded multilevel converter using PSO technique", in *Proc. IEEE*, 2013, pp. 1–6.
- [13] J. Aguayo Alquicira, S. E. de León Aldaco, O. Sánchez Vargas, N. Torres Cruz, and A. R. López Núñez, "Selección de ángulos de conmutación para un inversor multinivel en cascada usando un algoritmo de búsqueda aleatoria", *Pistas Educativas*, vol. 43, no. 139, pp. 134–150, Jul. 2021.

- [14] G. A. Acevedo Hernandez y O. Pinzón Ardila, “Desarrollo de un sistema electrónico para comunicación remota en dispositivos industriales Modbus RTU a través de MQTT”, *Rev. Colomb. Tecnol. Av. RCTA*, vol. 1, no 43, pp. 44-50, mar. 2024, doi: 10.24054/rcta.v1i43.2800.
- [15] R. S. Melo Cárdenas, L. A. Rodríguez Umaña, J. E. Martínez Baquero, y N. Baquero Álvarez, “Prototipo de sistema automatizado para lectura y control de medidores de energía inteligentes”, *Rev. Colomb. Tecnol. Av. RCTA*, vol. 1, no 45, pp. 57-65, ene. 2025, doi: 10.24054/rcta.v1i45.3091.
- [16] D. Navarro Pino, J. S. Badillo Rincón, M. D. Portillo Padilla y S. E. Pineda Aguilera, “Tecnologías y herramientas del internet de las cosas (IoT) para el desarrollo de prototipos de entornos cotidianos”, *Revista Colombiana de Tecnologías de Avanzada (RCTA)*, vol. 2, no. 44, pp. 97–103, Jul. 2024, doi: 10.24054/rcta.v2i44.3020.
- [17] D. Arenas Seleey, C. E. Prieto Triana y D. C. Chacón López, “Ingeniería de requerimientos e inteligencia artificial: una revisión de la literatura”, *Revista Colombiana de Tecnologías de Avanzada (RCTA)*, vol. 1, no. 39, pp. 100–106, Feb. 2022, doi: 10.24054/rcta.v1i39.1395.
- [18] R. Jiménez Moreno, J. E. Martínez Baquero y O. Agudelo Varela, “Control difuso para pinza robótica blanda orientada a objetos no rígidos”, *Revista Colombiana de Tecnologías de Avanzada (RCTA)*, vol. 2, no. 42, pp. 1–7, Oct. 2023, doi: 10.24054/rcta.v2i42.2647.
- [19] R. A. A. Rubeena, S. Paulose, M. Thomas and J. Joy, “PWM control strategies for switched-capacitor inverters,” *Materials Today: Proceedings*, vol. 58, pp. 516–522, 2022. doi: 10.1016/j.matpr.2022.03.049
- [20] S. Choudhury, M. Bajaj, T. Dash, S. Kamel and F. Jurado, “Multilevel inverter: A survey on classical and advanced topologies, control schemes, applications to power system and future prospects,” *Energies*, vol. 14, no. 18, p. 5773, 2021. doi: 10.3390/en14185773.
- [21] M.A. Hosseinzadeh, M. Sarebanzadeh, C.F. Garcia, E. Babaei, J. Rodriguez, An Asymmetric Switched-Capacitor Multicell Inverter with Low Number of DC Source and Voltage Stress for Renewable Energy Sources, *IEEE Access* 10 (Jan. 2022) 30513–30525, <https://doi.org/10.1109/ACCESS.2022.3140786>.
- [22] Z.E. Abdulhamed, A.H. Esuri, N.A. Abodhir, M.N.A. Ghamudi and F.A. Azreeq, Practical Implementation of A Modified Hybrid Bridge Multi-level Inverter, 2022 IEEE 2nd International Maghreb Meeting of the Conference on Sciences and Techniques of Automatic Control and Computer Engineering (MI-STA), Sabratha, Libya, 23-25 May, 2022, pp. 663-667, doi: 10.1109/MISTA54861.2022.9837639.
- [23] Y. Nakagawa, H. Koizumi, A Boost-Type Nine-Level Switched Capacitor Inverter, *IEEE Trans. Power Electron.* 34 (7) (July 2019) 6522–6532, <https://doi.org/10.1109/TPEL.2018.2876158>.
- [24] V. Thiagarajan, New Symmetric Extendable Type Multilevel Inverter Topology with Reduced Switch Count, 2019 Fifth International Conference on Electrical Energy Systems (ICEES), Chennai, India, 21-22 February, 2019, pp. 1-6, doi: 10.1109/ICEES.2019.8719287.