

## Implementación en VHDL de un Detector de Señales Satelitales de Baja Relación $E_b/N_o$ y Alta Desviación en Frecuencia Doppler.

Juan Carlos Vélez , Ph.D

Universidad del Norte, Barranquilla, Atlántico, Colombia, jcvelez@uninorte.edu.co

Gabriel Eduardo Ramírez Ibáñez

Universidad del Norte, Barranquilla, Atlántico, Colombia, gabriel.ramirezi@gmail.com

Andrés Camilo Salazar Llinás

Universidad del Norte, Barranquilla, Atlántico, Colombia, andres\_salazar@engineer.com

### Abstract

El objetivo de este artículo es presentar los bloques funcionales en VHDL de un detector de señales satelitales. Dicho dispositivo es capaz de determinar la presencia de la señal de información cuando el nivel de relación señal a ruido es de sólo 1.5 dB y la portadora es afectada por un desplazamiento en frecuencia hasta de  $\pm 4$  KHz que puede ser debido al efecto doppler o a derivas en las frecuencias de los osciladores locales del equipo de comunicaciones. Se presenta la probabilidad de detección obtenida para la velocidad de 2.4 kbps según el criterio de Neyman-Pearson. El desarrollo de un receptor con estas capacidades podrá incrementar aún más el cubrimiento de los sistemas de comunicaciones satelitales y ofrecer comunicaciones en situaciones de emergencia donde los sistemas de comunicaciones ordinarios no pueden brindar sus servicios.

### Keywords

Satélite, Detección, Doppler y VHDL

### Introducción

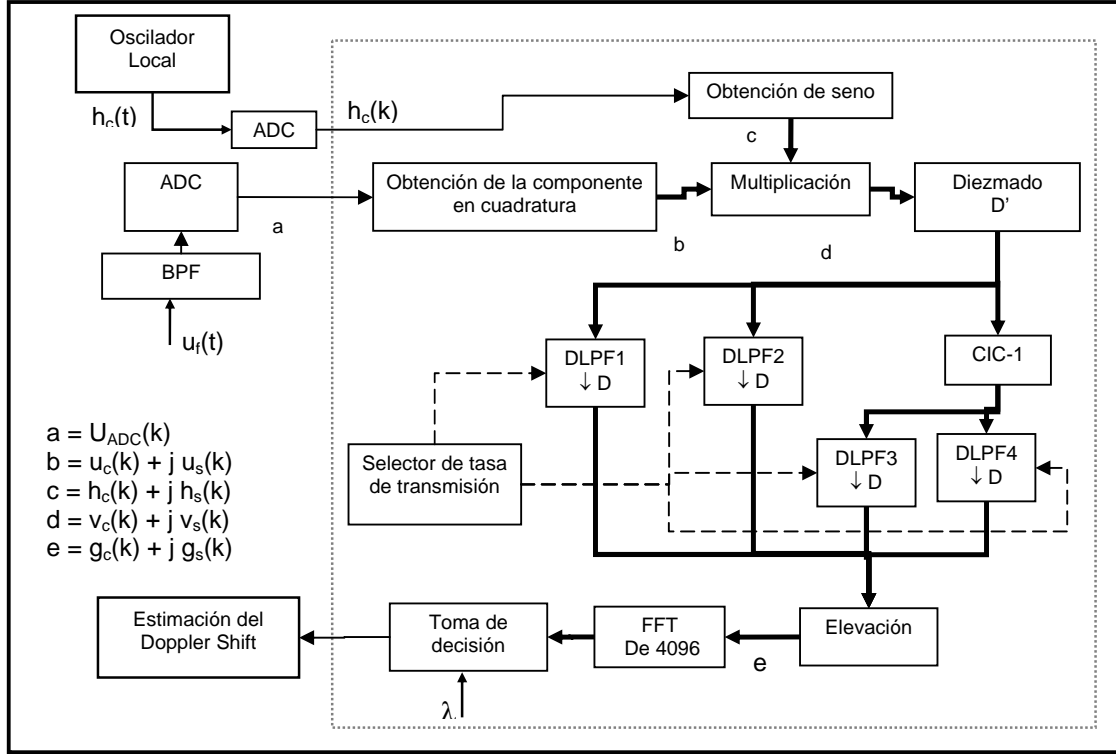
La velocidad de los satélites con respecto a la antena terrestre generan una variación en frecuencia de la portadora conocida como Doppler Shift o Desviación Doppler (Tuzov, 1967). Existen esquemas de predicción con los cuales se estima el valor de frecuencia de la portadora afectada por el Doppler Shift y se compensa en los osciladores locales buscando garantizar el correcto funcionamiento del receptor (Sooyoung. et al.,2002)( You et al,2000). En la práctica se ha encontrado, que luego de la implementación de la predicción, el desplazamiento residual en frecuencia, debido al efecto Doppler y a la inestabilidad de los osciladores locales puede variar, incluso, en un rango de  $\pm 4$  KHz (Vélez, 2003).

Otro factor importante a tener en cuenta en la recepción satelital es la potencia de transmisión. La mayoría de los sistemas de recepción satelital presentan problemas de detección de la señal cuando los niveles  $E_b/N_o$  son muy bajos, inferiores por lo general a 5 dB.

El presente estudio se enfocó en la implementación de un detector para éste tipo de señales en un lenguaje de descripción de Hardware. Así mismo se presentan las curvas de detección obtenidas y su comparación con el modelo teórico usado como base.

## Modelo de Detección

El esquema de detección usado para este estudio fue elaborado como parte de un trabajo de investigación en el Instituto de Potencia de Moscú (Vélez, 2003). Este esquema fue probado a nivel de simulación en el lenguaje computacional Fortran para cuatro tasas de transmisión diferentes, 2.4 Kbps, 4.8 Kbps, 9.6 Kbps y 19.2 Kbps. En la Figura 1 se muestra el diagrama de bloques implementado.



**Figura 1: Diagrama de bloques del esquema de detección implementado en Fortran**

La señal  $u_i(t)$  es de frecuencia intermedia (IF) con modulación BPSK proveniente de un canal con ruido blanco aditivo gaussiano (AWGN). La frecuencia de portadora está centrada en 3.07 MHz; esta frecuencia ha sido alterada por un corrimiento doppler que puede alcanzar los  $\pm 4$  KHz. El bloque BPF (Band Pass Filter) limita en banda a esta señal de tal forma que la frecuencia de portadora afectada por el desplazamiento doppler esté dentro del rango de frecuencias de paso de éste el filtro. El bloque ADC se encarga de digitalizar la señal a la salida del BPF, al mismo tiempo que se implementa una reducción en la frecuencia de la portadora al utilizar una tasa de muestreo menor a dicha frecuencia. Seguidamente se realiza un proceso de síntesis de la señal en el bloque de obtención de componente en cuadratura, donde se obtiene la componente compleja de la señal  $u_s(k)$  implementando el siguiente algoritmo:

$$u_c(k) \equiv u_{ADC}(k) \quad (1)$$

$$u_s(k) \equiv \frac{[C \cdot u_c(k) - u_c(k+1)]}{S} \quad (2)$$

$$C = \cos\left(\frac{2\pi f_{n2}}{f_{d1}}\right) \quad (3)$$

$$S = \text{sen}\left(\frac{2\pi f_{n2}}{f_{d1}}\right), \quad (4)$$

donde  $f_{n2}$  es la frecuencia de la señal a la salida del ADC,  $f_{d1}$  es la frecuencia de muestreo del ADC.

Por otra parte en el bloque de oscilador local se genera un señal coseno cuya frecuencia debe ser igual a la frecuencia de  $U_{\text{ADC}}(k)$ . De esta manera después de haber pasado por un proceso de síntesis similar al que fue sometida la señal de información y haber obtenido la componente en cuadratura  $h_s(k)$ , se multiplica las dos señales complejas  $b$  y  $c$  para obtener la señal de información en banda base  $d$ .

El bloque de diezmo se encarga de reducir la tasa de muestreo en un factor  $D'$ , luego el banco de filtros reduce nuevamente la frecuencia de discretización hasta obtener 8 muestras por bit para cada una de las velocidades de transmisión.

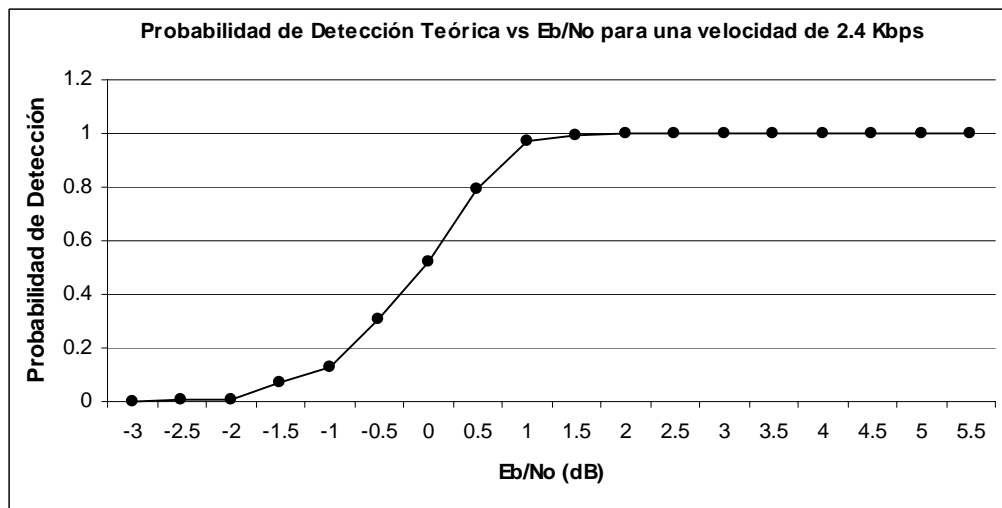
El número de las multiplicaciones y de bloques se redujo sustancialmente implementando los Filtros FIR y el diezmo simultáneamente (Proakis. et al, 1996). En (5) se muestra el algoritmo de filtrado realizado por el banco de Filtros FIR (DLPF1-DLPF4).

$$y(\lambda k) = \sum_{m=0}^{N-1} b_m \cdot x(\lambda k - m), \quad (5)$$

donde  $\lambda$  es el factor de diezmo y  $N$  es el orden del filtro.

La envolvente compleja proveniente de los filtros FIR es elevada al cuadrado para quitar la modulación de la señal. Seguidamente se calcula el el periodograma del procesos entrante con la ayuda de un procesador de transformadas rápidas de Fourier (FFT). El proceso de detección finaliza con la determinación de la máxima componente espectral bajo el criterio de Neyman-Pearson.

Los resultados simulados en FORTRAN muestran una probabilidad de detección correcta de 0.99 para una probabilidad de alarma falsa de  $10^{-3}$ , un  $E_b/N_o$  de 1.5 dB y desplazamiento de frecuencia Doppler de  $\pm 4$  kHz. Así mismo la incertidumbre dejada en frecuencia en la estimación del Doppler Shift es menor o igual a 50 Hz dependiendo de la tasa de transmisión.

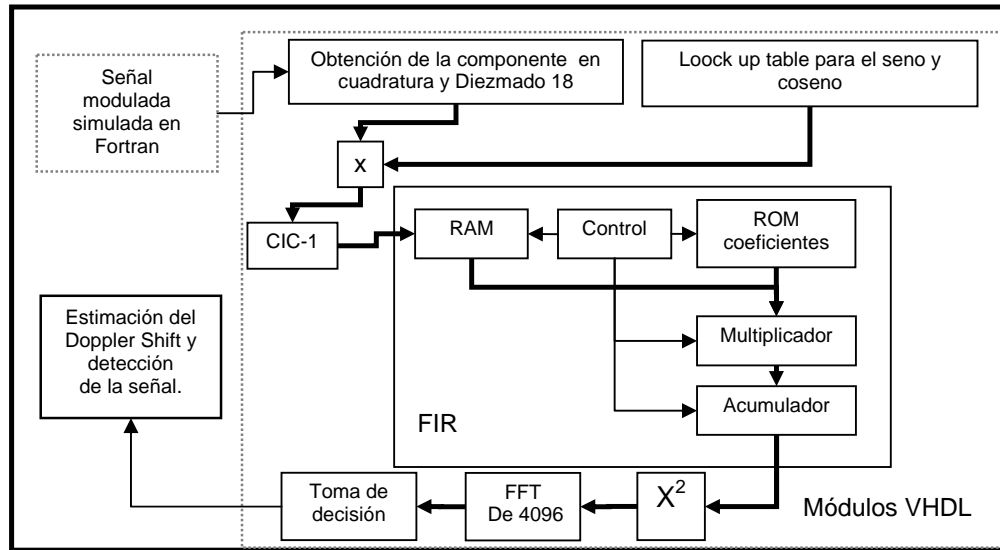


**Figura 2: Probabilidad de Detección Teórica vs  $E_b/N_o$  para una velocidad de 2.4 Kbps**

La curva de detección obtenida bajo este esquema para una velocidad de transmisión de 2.4 Kbps se muestra en la Figura 2.

## Descripción del Hardware de Detección en VHDL

La síntesis del Hardware se realizó con la herramienta de Xilinx ISE 6.2i utilizando para esto la FPGA Spartan3 xc3s400. El Hardware realizado para el presente estudio fue llevado a cabo para una sola velocidad de 2.4 Kbps y el tiempo de detección real simulado a un reloj de 10 MHz fue de aproximadamente 120 ms. Con respecto a la implementación del Hardware, se realizó una reestructuración de los bloques funcionales del modelo de detección teórico mostrado en la Figura 1. Esta reestructuración se hizo buscando mejorar el procesamiento para obtener una mayor integración implementando un menor número de bloques funcionales. Las entidades a descritas en el Hardware se presentan en la Figura 3.



**Figura 3: Diagrama de bloques del esquema de detección implementado en VHDL**

Una de las principales modificaciones que se pueden observar en comparación con la Figura 1 es la integración de los bloques de síntesis y diezmado, con la cual se obtiene una reducción en el número de multiplicaciones. Lo que se busca en este punto es sintetizar sólo las muestras que serán útiles para la detección, es decir, se reduce el número de muestras a ser sintetizadas por el factor  $D'$ . Lo que se realizó fue un contador que de acuerdo al factor de diezmado  $D'$  selecciona la muestra a tomar y realiza el procedimiento de multiplicación y suma que se describe en (1-3) para la obtención de la señal en cuadratura. Por otra parte la señal en fase no sufre ninguna modificación a parte del diezmado. En el Listado 1 se puede observar el código implementado en VHDL para este bloque y en la Figura 4 se presenta el esquemático de la entidad. La entrada  $U$  es el dato de la señal muestreada por el ADC,  $clk$  es el reloj interno de la FPGA y  $new\_dat$  es una señal de aviso del ADC que indica la toma de una nueva muestra. Las señales salida\_R y salida\_I son las componentes en fase y cuadratura respectivamente; la salida aviso\_sint es una señal de terminación de procesamiento de esta entidad.



**Figura 4: Entidad de síntesis implementada en VHDL**

La señal del oscilador local se genera a través de la implementación de una Look up Table (LUT) , de esta tabla se obtiene tanto la señal del coseno como del seno.

El filtrado para la tasa seleccionada de 2.4 Kbps se implementó usando 5 entidades diferentes: un CIC, una RAM de datos, una ROM de coeficientes, un MULTIPLICADOR, un ACUMULADOR y unidad de CONTROL según los algoritmos (5 y 6).

El algoritmo original del CIC consta de 4 partes (Hogenauer, 1981), un integrador, un normalizador, un diezmador y un diferenciador. Un análisis de estos bloques permitió implementar este filtro en VHDL según la siguiente ecuación:

$$y'''(k) = \frac{x(sk) + x(2k - 1)}{2} \quad (6)$$

La RAM de datos es capaz de almacenar los datos entrantes procedentes del CIC, se requieren dos arreglos de RAM, una para los datos en fase y una para los datos en cuadratura. La salida de cada RAM pasa a un bloque multiplicador. Los datos son direccionados por la unidad de Control.

La ROM de coeficientes contiene los coeficientes del filtro, su tamaño es la mitad del orden del filtro debido a que el filtro implementado es simétrico. Los coeficientes son direccionados por la unidad de control y pasan al bloque Multiplicador.

En el bloque Multiplicador se implementan dos multiplicadores, uno para la señal en fase otro para la señal en cuadratura. Estas unidades de multiplicación se encargan de realizar el producto entre los coeficientes entregados por la ROM y los datos entregados por la RAM. Cada vez que se realiza una multiplicación este bloque avisa al acumulador.

También se implementaron dos acumuladores separados, uno para cada componente de la señal. Cada acumulador suma los datos provenientes del multiplicador. Su salida y reset son activados por la unidad de control.

La unidad de control se encarga del direccionamiento de las memorias, también se encarga de activar la salida del sumador y limpiarlo (reset) cuando se realizan todas las sumas necesarias para una salida de acuerdo al factor de diezmado D' y orden del filtro. Todas las multiplicaciones y sumas requeridas para producir una salida, se hacen en el lapso existente entre datos de entrada usando el reloj interno de la FPGA, de esta forma el bloque no introduce ningún retraso.

```

ARCHITECTURE BEHAVIORAL OF SINTHESIS IS
BEGIN
PROCESS(clk, new_dat)
BEGIN

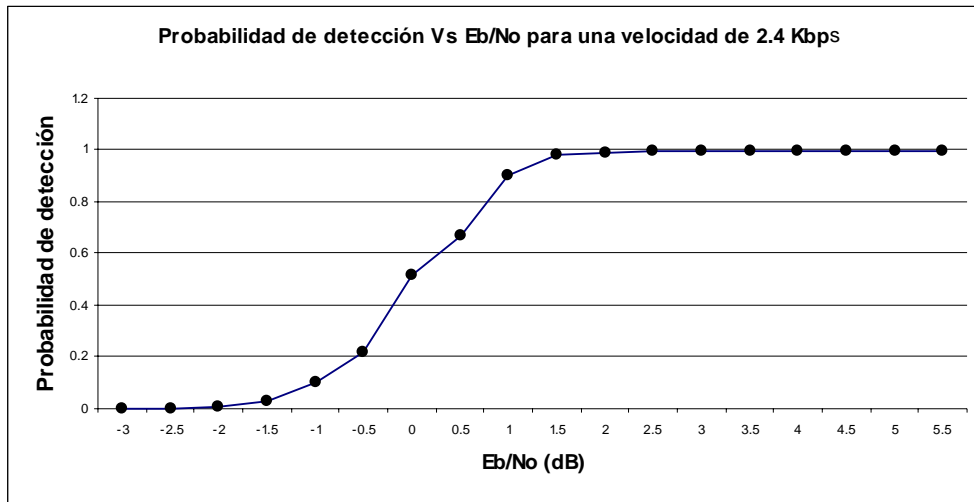
C_S := "100110001"; -- constante C/S del proceso de síntesis
S := "110001110"; -- constante 1/S del proceso de síntesis

IF clk'event and clk = '1' THEN
    aviso_sint<='0';
    -- Almacenamiento de las muestras --
    avi:=avi+1;
    IF avi=2 THEN
        avi:=0;
    END IF;
    IF new_dat = '1' THEN
        IF d18=0 THEN
            i := i+1;
            aviso_sint<='0';
            IF i=0 THEN -- se carga la muestra impar
                ent_1 := U;
                IF ent_1(DATA) = '1' THEN -- se revisa la muestra entrante para ver si es negativa
                    ent_1 := NOT(ent_1-1);
                    sign_1:='1';
                    salida:=NOT(ent_1)+1;
                ELSE -- se revisa la muestra entrante para ver si es positiva
                    sign_1:='0';
                    salida:=ent_1;
                END IF;
            END IF; --end cargo de ent_1
            IF i=1 THEN -- se carga la muestra par y se multiplica
                ent_2 := U;
                IF ent_2(DATA) = '1' THEN -- se revisa el resultado de la mult. para ver si es negativo
                    ent_2 := not(ent_2-1);
                    sign_2:='1';
                ELSE -- se revisa el resultado de la mult. para ver si es negativo
                    sign_2:='0';
                END IF;
                -- MULTIPLICACION --
                multC_S := C_S* ent_1;
                mult_S := S* ent_2;
                IF sign_1 = '1' then
                    multC_S := not(multC_S)+1; --complemento a 2 mult C_S
                END IF;
                IF sign_2 = '1' THEN
                    mult_S := not(mult_S)+1; --complemento a 2 mult S
                END IF;
                resta := multC_S - mult_S;
                salida_1 <= resta(DATA+8 downto 8) ;
                salida_R <= salida;
                aviso_sint<='1';
                d18:=D; -- Factor de diezmado D'
                i := -1;
            END IF; --Fin del ciclo de cargada del dato 2 y de multiplicación
        ELSE
            d18:=d18-1;
        END IF;
    END IF;
END IF;
IF avi=0 then
    aviso_sint<='0';
END IF;
END PROCESS;
END BEHAVIORAL;

```

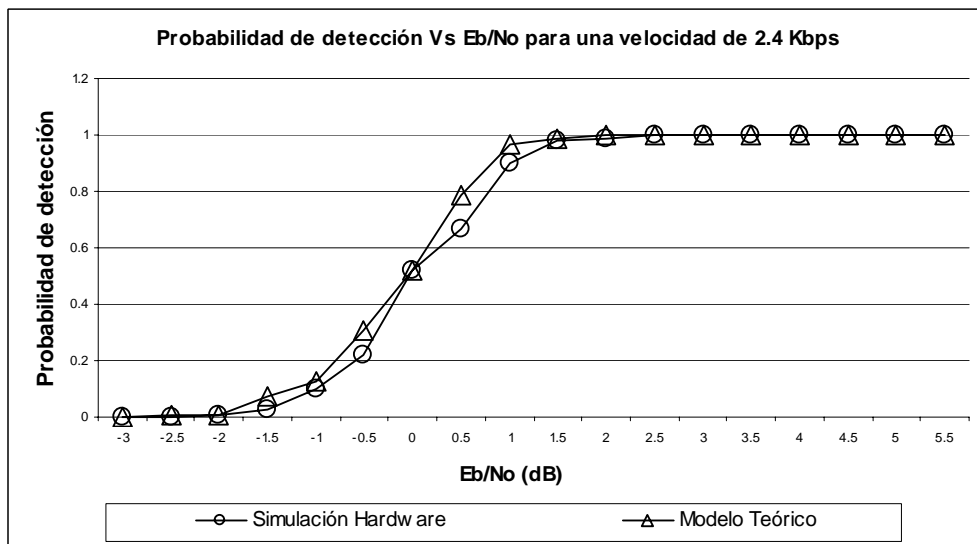
**Listado 1: Código de la entidad de Síntesis modificada para VHDL**

Los resultados de esta implementación en Hardware se muestran en la Figura 5.



**Figura 5: Probabilidad de detección para la implementación en Hardware del detector, para una velocidad de 2.4 Kbps**

En la Figura 6, se puede observar las dos curvas de detección obtenidas, se puede notar que la curva de detección para la implementación en Hardware está a la derecha de la curva teórica, es decir, se requiere un mayor  $E_b/N_0$  para obtener una probabilidad de detección determinada. Esto se debe a al ruido de cuantificación introducido por el ADC y a la reducción en la longitud de bits por muestra que existe luego de realizar las multiplicaciones en los bloques correspondientes, afectando aún mas el  $E_b/N_0$ . La probabilidad de detección encontrada para la implementación Hardware para un  $E_b/N_0$  de 1.5 dB es de 0.98.



**Figura 6: Comparación de las curvas de detección entre la implementación Hardware y el modelo de detección teórico para una velocidad de transmisión de 2.4 Kbps**

## Conclusiones y Recomendaciones

El dispositivo implementado permite la detección de señales satelitales con probabilidades cercanas a 0,98 para un  $E_b/N_o$  de 1.5 dB, un desplazamiento doppler de hasta  $\pm 4$  Khz y probabilidades de alarma falsa de  $10^{-3}$ . El tiempo de detección no supera los 120 ms para la mínima velocidad y disminuye a medida que aumenta la tasa de transmisión.

Al implementar las modificaciones en los bloques funcionales con respecto a esquema teórico, para la velocidad de transmisión de 2.4 Kbps, se logra reducir considerablemente el número total de multiplicaciones realizadas.

Los bloques en Hardware fueron implementados para trabajar en un formato de punto fijo a una longitud de 16 bits, si se desea una curva de detección mas aproximada a la teórica, se puede aumentar el número de bits o trabajar con una unidad de punto flotante; sin embargo cualquiera de las dos opciones aumentaría la complejidad del sistema.

Al momento de implementar la recepción para las demás tasas de transmisión, el esquema planteado en este artículo para VHDL no cambiaría ya que el número de entidades permanecería igual, esto debido a que los filtros a implementar para las otras tasas son manejados a través de una unidad de control que selecciona el factor de diezmado y el orden del filtro según la tasa a la cual se estén recibiendo los datos. En este caso sólo se aumentaría el tamaño de la ROM de coeficientes.

Para la corrección del desplazamiento doppler, se podría reemplazar la look up table del oscilador local por un sistema dinámico que permita de acuerdo al desplazamiento encontrado cambiar los datos referentes a la señal coseno y seno correspondientes.

## Referencias

- Hogenauer E. B. (1981) "An Economical Class of Digital Filters for Decimation and Interpolation". *IEEE Transactions on Acoustics, Speech, and Signal Processing*, Vol. ASSP-29 (No. 2). 155-162.
- Proakis J.G., Manolakis D.G. (1996) "Digital Signal Processing - Principles, Algorithms, and Applications". Third Edition. Prentice Hall. -968 c.
- Sooyoung, K. S., Kwangjae L., Kwonhue C., y Kunseok K. (2002) "Rain Attenuation and Doppler Shift Compensation for Satellite Communications". *ETRI Journal (February)*, Vol 24, No 1, pp 31,42.
- Tusov G.I. (1967) "Separacion y Procesamiento de la Información en Sistemas Doppler". *Sovetskaia Radio*, - 255.
- Vélez, J.C. (2003). "Algoritmo de detección BPSK con muy baja relación señal a ruido". *Radiotekhnicheskie Tetradi, Moscow Power Institute, (TU)*, Vol. 22, pp 76-78.
- You, M. H., Lee, S. P., y Han, Y. (2000). "Adaptive Compensation Method Using the Prediction Algorithm for the Doppler Frequency Shift in the LEO Mobile Satellite Communication System". *ETRI Journal (Diciembre)*, Vol 22, No. 4, pp 32-39



## **Información Biográfica**

Dr. Juan Carlos VELEZ. Profesor de la Universidad del Norte. Director del grupo de investigación en telecomunicaciones y señales. Doctorado en radio ingeniería en el Instituto de Potencia de Moscú. Áreas de interés: procesamiento estadístico de señales, receptores, software radio.

Gabriel Eduardo RAMIREZ. Estudiante de X Semestre de Ingeniería Electrónica de La Universidad del Norte. Perteneciente al Grupo de Investigación en Radiocomunicaciones y Señales. Actualmente desarrolla el Proyecto “Detector Hardware de Baja Relación Señal a Ruido ( $E_b/N_o$ ) y Alta Desviación en Frecuencia Doppler para Receptores Satelitales de Software Radio”.

Andrés Camilo SALAZAR. Estudiante de X Semestre de Ingeniería Electrónica de La Universidad del Norte. Perteneciente al Grupo de Investigación en Radiocomunicaciones y Señales. Actualmente desarrolla el Proyecto “Detector Hardware de Baja Relación Señal a Ruido ( $E_b/N_o$ ) y Alta Desviación en Frecuencia Doppler para Receptores Satelitales de Software Radio”.